

Docket No.: SON-2888  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Kenichi SHIGENAMI, et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: January 2, 2004

For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

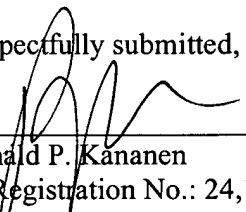
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-005804	January 14, 2003

In support of this claim, a certified copy of said original foreign application are filed herewith.

Dated: January 2, 2004

Respectfully submitted,

By   
Ronald P. Kananen  
Registration No.: 24,104  
(202) 955-3750  
Attorneys for Applicant

Lion Building  
1233 20<sup>th</sup> Street, N.W., Suite 501  
Washington, D.C. 20036  
Tel: (202) 955-3750  
Fax: (202) 955-3751

**RADER, FISHMAN & GRAUER, PLLC**

Customer No. 23353

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 1 4 日  
Date of Application:

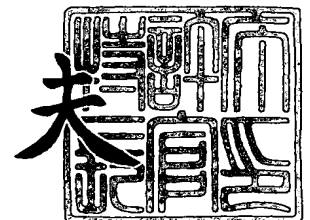
出 願 番 号                      特 願 2 0 0 3 - 0 0 5 8 0 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 0 5 8 0 4 ]

出      願      人                      ソニー株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290618501

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/404

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
    内

    【氏名】 重並 賢一

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
    内

    【氏名】 助川 俊一

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

【代理人】

    【識別番号】 100094053

    【弁理士】

    【氏名又は名称】 佐藤 隆久

【手数料の表示】

    【予納台帳番号】 014890

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

アドレスバスとデータバスを共有する複数のメモリバンクを有し、アドレスによって選択されたメモリバンクの選択メモリセルに対してメモリアクセスが行われる半導体記憶装置であって、

上記各メモリバンクに、

書き込みアドレスを保持するアドレスレジスタと、

書き込みデータを保持するデータレジスタと、

上記アドレスレジスタによって保持されているアドレスと上記アドレスバスを介して入力されるアドレスとを比較し、両方が一致するときアドレス一致信号を出力するアドレス一致検出回路と、

書き込みに続き読み出しが行われるとき、上記一致検出回路によって上記アドレスレジスタに保持されている書き込みアドレスと入力される読み出しアドレスとが一致することを示す上記アドレス一致信号を受けたとき、上記データレジスタに保持されている書き込みデータを上記読み出しアドレスによって指定されたメモリセルからの読み出しデータとして出力する制御回路と

を有する半導体記憶装置。

【請求項 2】

上記アドレスレジスタに保持されている書き込みアドレス及び上記アドレスバスから入力されるアドレスの何れかを選択して、当該選択されたアドレスをロウデコーダ及びカラムデコーダに出力するアドレス選択回路

を有する請求項 1 記載の半導体記憶装置。

【請求項 3】

上記データレジスタにデータが保持されているか否かを検出するデータ検出回路

を有する請求項 1 記載の半導体記憶装置。

【請求項 4】

上記データ検出回路によって、上記データレジスタにデータが保持されていると検出したとき、上記制御回路からの制御信号に従って、上記データレジスタに保持されているデータを上記読み出しアドレスによって指定したメモリセルに対応するセンスアンプに出力するデータ転送ゲート

をさらに有する請求項 3 記載の半導体記憶装置。

#### 【請求項 5】

書き込みのとき、上記データレジスタへの書き込み制御信号に応じて、書き込みデータ線から入力される書き込みデータを上記データレジスタに転送する書き込みゲートを

有する請求項 1 記載の半導体記憶装置。

#### 【請求項 6】

上記各メモリバンクにおいて、メモリセルアレイにおいてツイストビット線が用いられる

請求項 1 記載の半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、マルチバンクの構成を有する DRAM に関し、特にセンスアンプバンク内にデータレジスタを持ち、レイト書き込み (Late Write) を行う DRAM からなる半導体記憶装置に関するものである。

##### 【0002】

##### 【従来の技術】

複数のメモリバンクを有するいわゆるマルチバンク構成の DRAM において、リード (書き込み) ・ライト (読み出し) の連続オペレーションを実行する際、ライトデータレイテンシとリードデータレイテンシが違うことから、リードからライトへ移行する際にデータバスのデータコンフリクトを避ける為、NOP (待機命令) 命令を任意の数挿入する必要がある。

##### 【0003】

図 7 は、従来のマルチバンク DRAM の一構成例を示すブロック図である。図

示のように、マルチバンクDRAMは、アドレスラッチ回路100、ロウデコーダ110、メモリセルアレイ120、カラムデコーダ130、カラムセクタ140、センスアンプ制御回路150、センスアンプ160、カラムアドレスレイテンシ制御回路170、MA, L I O M U X制御回路180、バンクアドレスデコーダ190、マルチフェースアレイタイミング発生回路200、コマンドデコーダ210及び入出力回路220を有している。

#### 【0004】

また、図示のように、本例のマルチバンクDRAMには、例えば4つのメモリバンク、即ちバンクA、バンクB、バンクC及びバンクDが設けられている。各メモリバンクにおいて、ロウデコーダ110、メモリセルアレイ120、カラムデコーダ130、カラムセクタ140、センスアンプ制御回路150及びセンスアンプ160がそれぞれ独立に設けられている。

#### 【0005】

以下、本例のマルチバンクDRAMの各構成部分について簡単に説明する。

アドレスラッチ回路100は、外部から入力されるアドレスADRを保持して、保持されているアドレスADRをロウデコーダ110、カラムデコーダ130、カラムアドレスレイテンシ制御回路170及びバンクアドレスデコーダ190にそれぞれ出力する。

#### 【0006】

各メモリバンクにおいて、ロウデコーダ110は、入力されるロウアドレスRADRに従って、当該ロウアドレスRADRによって指定されたワード線を選択して、それを活性化させる。

#### 【0007】

メモリセルアレイ120は、複数のメモリセルが行列状に配置して構成されている。行列の各行にワード線が設けられ、各列にビット線が設けられている。メモリセルアレイに対してアクセスが行われるとき、ロウデコーダ110によってワード線が選択され、カラムセクタ140によってビット線が選択される。

#### 【0008】

カラムデコーダ130は、入力されるカラムアドレスCADRに従って、カラ

ム選択信号を発生し、カラムセクタ 1 4 0 に出力する。

#### 【0 0 0 9】

カラムセクタ 1 4 0 は、メモリセルアレイの各列に対応する複数のカラム選択ゲートが設けられている。カラムデコーダ 1 3 0 によって出力されるカラム選択信号に応じて、カラムアドレス C A D R によって指定されたカラムに対応するカラム選択ゲートが開き、選択カラムのビット線とそれに対応するセンスアンプが接続される。

#### 【0 0 1 0】

センスアンプ制御回路 1 5 0 は、カラムアドレスレイテンシ制御回路 1 7 0、バンクアドレスデコーダ 1 9 0 及びマルチフェースアレイタイミング発生回路 2 0 0 からの制御信号に応じて、所定のタイミングでセンスアンプ 1 6 0 に駆動電圧を供給し、センスアンプの動作を制御する。

#### 【0 0 1 1】

センスアンプ 1 6 0 は、それに接続されているビット線対の電位差を増幅し、増幅されたビット線の電圧を保持する。読み出しのとき、センスアンプ 1 6 0 は、選択メモリセルの記憶データに応じてビット線対に生じた電位差を増幅し、増幅結果を外部に出力することで、選択メモリセルの記憶データを外部に読み出す。一方、書き込みのとき、センスアンプは書き込みデータに応じてビット線対の電圧をラッチする。当該ラッチされたビット線電圧に応じて、選択メモリセルのキャパシタに電荷が蓄積される。

#### 【0 0 1 2】

カラムアドレスレイテンシ制御回路 1 7 0 は、アドレスラッチ回路 1 0 0 から入力されるアドレス A D R に応じて、カラムアクセスの待ち時間を制御するための制御信号を生成し、センスアンプ制御回路 1 5 0 及び M A, L I O M U X 制御回路 1 8 0 に出力する。

#### 【0 0 1 3】

M A, L I O M U X 制御回路 1 8 0 は、カラムアドレスレイテンシ制御回路 1 7 0 から制御されたメインアンプ 1 つに対し複数の W L I O から 1 組の W L I O を選択するカラムアドレス及び M A 制御信号（W L I O 書き込み及び読み出し制

御信号)を受け取り、入出力回路220とデータレジスタ290、センスアンプ160との間のデータのやり取りを行う。

#### 【0014】

バンクアドレスデコーダ190は、アドレスラッチ回路100から入力されるバンクアドレスBADRに応じて、複数のメモリバンクから何れか一つのメモリバンクを選択するためのメモリバンク選択信号を生成し、各メモリバンクのロウデコーダ110及びカラムデコーダ130に出力する。

#### 【0015】

マルチフェースアレイタイミング発生回路200は、メモリアクセス時の動作タイミングを制御するための制御信号を発生し、ロウデコーダ110及びセンスアンプ制御回路150にそれぞれ出力する。

#### 【0016】

コマンドデコーダ210は、外部から入力されるコマンドCMDをデコードし、それに応じて読み出しコマンドRCMD及び書き込みコマンドWCMDを生成し、バンクアドレスデコーダ190に出力する。

#### 【0017】

入出力回路220は、書き込みのとき、外部から入力される書き込みデータDQを保持して、保持した書き込みデータをデータ線WGIOを介してMA, L I O M U X制御回路180に出力する。また、読み出しのとき、センスアンプ160によって選択メモリセルから読み出したデータがMA, L I O M U X制御回路180及びデータ線WGIOを介して入出力回路220に出力されるので、入出力回路220は、データ線WGIOからの読み出しデータを保持して外部に出力する。

#### 【0018】

図8は、従来のマルチバンクDRAMにおいて、書き込み・読み出し・書き込み動作が同一のバンクに対して行うときのタイミングチャートを示している。以下、図8を参照しつつ、従来のマルチバンクDRAMの書き込み・読み出し・書き込み動作について説明する。

#### 【0019】



図 8 に示すように、ここで、書き込みデータレイテンシ（待ち時間）は 0、読み出しデータレイテンシは 4、また、アドレス入力はロウ、カラムマルチプレクスなしとする。さらに、アレイサイクルタイム  $t_{RC}$  を 4 クロック周期とする。

図示のマルチバンク DRAM において、同一のバンクに対してのメモリセルアクセスでは、一連のリフレッシュ動作のインタラプトによるデータ破壊を防止するために、少なくとも同一のメモリバンクへのアクセスは、アレイサイクルタイム  $t_{RC}$  を待って行うように制御される。

#### 【0020】

図 8 のタイミングチャートに示すように、時間  $t_0$  からクロック信号 CLK の 4 周期の期間はバンク A に対しての書き込み動作期間であり（図中では符号 W で表記する）、時間  $t_4$  からの 4 クロック周期は、同じくバンク A に対しての読み出し動作期間であり（図中では符号 R で表記する）、時間  $t_8$  からの 4 クロック周期は、データ線におけるコンフリクトを防止するために挿入された NOP 期間（待機期間）であり（図中では符号 N で表記する）、そして、時間  $t_{13}$  からの 4 クロック周期は、次の書き込み動作期間である。

#### 【0021】

図 8 に示すように、書き込み動作期間中に、クロック周期ごとに書き込みアドレス  $A_0$ 、 $B_0$ 、 $C_0$  と  $D_0$  が入力される（図 8（B））。また、アドレスと同時に書き込みデータ  $dA_0$ 、 $dB_0$ 、 $dC_0$  と  $DD_0$  が順次入力される（同図（C））。

入力されるアドレスに応じて、複数のメモリバンクによって共有されている共有アドレスバスには、アドレスラッチ回路 100 によりラッチされたアドレスが転送される（同図（D））。

#### 【0022】

そして、同図（E）に示すように、バンクアドレスによって選択されたメモリバンク、ここではバンク A が活性化され、入力される書き込みデータ  $dA_0$  が書き込み共通入出力回路（WGIO）及び書き込みデータ線  $WLIO/WLIOB$  を介して、バンク A にある選択メモリセルに書き込まれる。

また、同様に、同図（F）～（H）に示すように、時間  $t_1$  においてバンク B

、時間  $t_2$  においてバンク C、さらに時間  $t_3$  においてバンク D にと順次書き込みデータが転送され、書き込みアドレスによってそれぞれのバンクにおいて指定したメモリセルに対して書き込みが行われる。

#### 【0 0 2 3】

読み出し動作において、書き込み動作とはほぼ同様に、時間  $t_4$  において、共通アドレスバスに読み出しアドレス A 1 が入力される。これに続き、クロック周期ごとに共通のアドレスバスに読み出しアドレス B 1, C 1 そして D 1 が入力される。

#### 【0 0 2 4】

時間  $t_4$  において、バンクアドレスによって選択されたバンク A に読み出しアドレス A 1 が入力され、これに従ってバンク A においてアドレス A 1 によって指定されたメモリセルから記憶データが読み出され、センスアンプによって増幅されたのち、ビット線から読み出しデータ線 R L I O, / R L I O に出力され、さらに入出力回路 2 2 0 を介して外部に出力される。

#### 【0 0 2 5】

続いて、時間  $t_5$  から、クロック周期ごとにバンク B, C と D が順次選択され、各バンクにおいて入力された読み出しアドレスによって選択されたメモリセルから記憶データが読み出され、順次出力される。

#### 【0 0 2 6】

##### 【特許文献 1】

特開平 3 - 2 7 3 5 9 4 号公報

#### 【0 0 2 7】

##### 【発明が解決しようとする課題】

ところで、上述した従来のマルチバンク D R A M において、書き込みレイテンシが 0 で、読み出しレイテンシが 4 であるため、読み出しに続き書き込みが行われる一連のメモリアクセス動作において、読み出しが開始してからクロック信号 C L K の 4 周期分の待ち時間を経過した時点で読み出しデータがはじめて出力される。このため、読み出し動作に続き、書き込みが実行される場合、共通のデータバス上データのコンフリクトを避けるため、待機期間、即ち、クロック C L K

の数周期分に対応するNOP命令を挿入する必要がある。

#### 【0028】

読み出し動作期間と書き込み動作期間の間に待機期間が挿入されることにより、共通のデータバス上に有効なデータが存在しない状態が一定の頻度で出現する。即ち、データバス上に有効なデータが転送される時間が全動作期間に示す割合が低下してしまい、その結果、データバスの利用率が低下し、またはデータバスにおける有効なデータ転送レートが低下してしまうという不利益が生じる。

#### 【0029】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、マルチバンクDRAMにおける共通のデータバスの利用率及びデータ転送レートを向上でき、かつ制御回路の規模を増大させることなく、データアクセスの高速化を実現できる半導体記憶装置を提供することにある。

#### 【0030】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の半導体記憶装置は、アドレスバスとデータバスを共有する複数のメモリバンクを有し、アドレスによって選択されたメモリバンクの選択メモリセルに対してメモリアクセスが行われる半導体記憶装置であって、上記各メモリバンクに、書き込みアドレスを保持するアドレスレジスタと、書き込みデータを保持するデータレジスタと、上記アドレスレジスタによって保持されているアドレスと上記アドレスバスを介して入力されるアドレスとを比較し、両方が一致するときアドレス一致信号を出力するアドレス一致検出回路と、書き込みに続き読み出しが行われるとき、上記一致検出回路によって上記アドレスレジスタに保持されている書き込みアドレスと入力される読み出しアドレスとが一致することを示す上記アドレス一致信号を受けたとき、上記データレジスタに保持されている書き込みデータを上記読み出しアドレスによって指定されたメモリセルからの読み出しデータとして出力する制御回路とを有する。

#### 【0031】

また、本発明では、好適には、上記アドレスレジスタに保持されている書き込みアドレス及び上記アドレスバスから入力されるアドレスの何れかを書き込みま

たは読み出しコマンドにより選択して、当該選択されたアドレスをロウデコーダ及びカラムデコーダに出力するアドレス選択回路を有する。

#### 【0032】

また、本発明では、好適には、上記データレジスタにデータが保持されているか否かを検出するデータ検出回路を有し、上記データ検出回路によって、上記データレジスタにデータが保持されていると検出したとき、上記制御回路からの制御信号に従って、上記データレジスタに保持されているデータを上記読み出しアドレスによって指定したメモリセルに対応するセンスアンプに出力するデータ転送ゲートをさらに有する。

#### 【0033】

また、本発明では、好適には、書き込みのとき、上記データレジスタへの書き込み制御信号に応じて、書き込みデータ線から入力される書き込みデータを上記データレジスタに転送する書き込みゲートを有する。

#### 【0034】

さらに、本発明では、好適には、上記各メモリバンクにおいて、メモリセルアレイにおいてツイストビット線が用いられる。

#### 【0035】

本発明によれば、複数のメモリバンクをもつマルチバンク半導体記憶装置、例えば、マルチバンクDRAMにおいて、各メモリバンクに書き込みアドレスを保持するアドレスレジスタと書き込みデータを保持するデータレジスタが設けられ、また、アドレスレジスタに保持されているアドレスと今回入力されるアドレスが一致するかを検出するアドレス一致検出回路が設けられ、同一メモリバンクの同一のアドレスに対して書き込みに続いて読み出しが行われる場合、読み出しアドレスによって指定されたメモリセルからの読み出しをせずに、データレジスタの保持データを読み出しデータとして出力するので、連続するリード、ライトメモリアクセスにおいてもNOPを挿入することなく連続アクセスが可能となる。

#### 【0036】

##### 【発明の実施の形態】

図1は本発明に係る半導体記憶装置、即ち、DRAMの一実施形態を示す構成

図である。

図示のように、本実施形態のDRAMは、複数のメモリバンクを有する、いわゆるマルチバンクのDRAMである。複数のメモリバンクによって、アドレスバス及びデータバス（データ線）が共有されている。

#### 【0037】

各メモリバンクには、図1に示すように、ロウデコーダ110、メモリセルアレイ120、カラムデコーダ130、カラムセクタ140、センスアンプ160、書き込みアドレスレジスタ250、アドレス選択回路260、アドレス一致検出回路270、センスアンプ及びデータレジスタ制御回路280、及びデータレジスタ290を有している。

#### 【0038】

また、メモリバンクによって共有されている部分として、アドレスラッチ回路100、カラムアドレスレイテンシ制御回路170、MA, LIOMUX制御回路180、マルチフェースアレイタイミング発生回路200、コマンドデコーダ210及び入出力回路220、及びバンクアドレス及び書き込み／読み出しデコーダ230を有している。

#### 【0039】

以下、本実施形態のDRAMの各構成部分について説明する。

アドレスラッチ回路100は、外部から入力されるアドレスADRを保持して、保持されているアドレスADRを各メモリバンクの書き込みアドレスレジスタ250、アドレス選択回路260、アドレス一致検出回路270、カラムアドレスレイテンシ制御回路170、及びバンクアドレス及び書き込み／読み出しデコーダ230にそれぞれ出力する。

#### 【0040】

各メモリバンクにおいて、書き込みアドレスレジスタ250は、アドレスラッチ回路100から入力される書き込みアドレスWADRを保持して、保持した書き込みアドレスWADRをアドレスラッチ回路100から入力されるアドレスADRとともにアドレス選択回路260に出力する。

#### 【0041】

アドレス選択回路 260 は、各メモリバンク共有のバンクアドレス及び書き込み／読み出しデコーダ 230 からのイネーブル信号、例えば、図 1 に示すように、書き込みバンクイネーブル信号 WBE または読み出しバンクイネーブル信号 RBE によって活性化される。そして、動作時に書き込みアドレスレジスタから入力される書き込みアドレス WADR またはアドレスラッチ回路 100 から入力されるアドレス ADDR の何れかを選択して、選択したアドレスに含まれているロウアドレス RADR をロウデコーダ 110 に、そして、カラムアドレス CADR をカラムデコーダ 130 にそれぞれ出力する。

#### 【0042】

アドレス一致検出回路 270 は、書き込みアドレスレジスタ 250 から入力される書き込みアドレス WADR またはアドレスラッチ回路 100 から入力されるアドレス ADDR が一致する否かを検出し、一致した場合それを示す一致信号 MTH を発生し、センスアンプ及びデータレジスタ制御回路 280 に出力する。

#### 【0043】

ロウデコーダ 110 は、アドレス選択回路 260 から入力されるロウアドレス RADR に従って、当該ロウアドレス RADR によって指定されたワード線を選択して、それを活性化させる。

#### 【0044】

メモリセルアレイ 120 は、複数のメモリセルが行列状に配置して構成されている。行列の各行にワード線が設けられ、各列にビット線が設けられている。メモリセルアレイに対してアクセスが行われるとき、ロウデコーダ 110 によってワード線が選択され、カラムセクタ 140 によってビット線が選択される。

#### 【0045】

メモリセルは、例えば、トランジスタとキャパシタから構成されている。トランジスタの一方の電極がビット線に接続され、他方の電極がキャパシタに接続されている。キャパシタには、メモリセルの記憶データに応じた電荷が蓄積される。また、トランジスタのゲートがワード線に接続されているので、メモリアクセスのとき、選択ワード線を活性化することによって、当該選択ワード線に接続されているメモリセルのトランジスタが導通する。

**【 0 0 4 6 】**

読み出しのとき、選択ワード線の活性化に伴ってメモリセルのトランジスタが導通し、キャパシタとビット線との間で電荷の再分配が行われた結果、メモリセルの記憶データに応じて、ビット線電位がわずかに変化する。このため、センスアンプに接続されている一対のビット線間にわずかな電位差が発生する。センスアンプによってビット線間の電位差が増幅されるので、増幅信号に応じて選択メモリセルの記憶データを外部に読み出される。また、センスアンプによって増幅されたビット線電圧に応じて、メモリセルに対して再書き込みが行われ、メモリセルのリフレッシュが行われる。一方書き込みのとき、センスアンプは、書き込みデータに応じてビット線電圧をラッチする。そして、ラッチした電圧で選択メモリセルのキャパシタに対して電荷の蓄積が行われる。この結果、書き込みデータが選択メモリセルに書き込まれる。

**【 0 0 4 7 】**

カラムデコーダ 1 3 0 は、入力されるカラムアドレス C A D R に従って、カラム選択信号を発生し、カラムセクタ 1 4 0 に出力する。

**【 0 0 4 8 】**

カラムセクタ 1 4 0 は、メモリセルアレイの各列に対応する複数のカラム選択ゲートが設けられている。カラムデコーダ 1 3 0 によって出力されるカラム選択信号に応じて、カラムアドレス C A D R によって指定されたカラムに対応するカラム選択ゲートが開き、選択カラムのビット線とそれに対応するセンスアンプが接続される。

**【 0 0 4 9 】**

センスアンプ 1 6 0 は、それに接続されている一対のビット線間の電位差を増幅し、また、増幅されたビット線の電圧を保持する。例えば、読み出しのとき、センスアンプ 1 6 0 は、選択メモリセルの記憶データに応じてビット線対に生じた電位差を増幅し、選択メモリセルの記憶データを外部に読み出す。一方、書き込みのとき、センスアンプは書き込みデータに応じてビット線電圧を保持して当該保持電圧に従って、選択メモリセルのキャパシタに電荷が蓄積されるので、書き込みデータが選択メモリセルに書き込まれる。

**【 0 0 5 0 】**

センスアンプ及びデータレジスタ制御回路 2 8 0 は、アドレス一致検出回路 2 7 0 からのアドレス一致検出信号 M T H 及びマルチフェースアレイタイミング発生回路 2 0 0 からの制御信号に応じて、センスアンプ 1 6 0 及びデータレジスタ 2 9 0 を制御するための制御信号を出力する。

**【 0 0 5 1 】**

次に、各メモリバンクによって共有される部分について説明する。

アドレスラッチ回路 1 0 0 は、上述したように、外部から入力されるアドレス A D R を保持する。

カラムアドレスレイテンシ制御回路 1 7 0 は、アドレスラッチ回路 1 0 0 から入力されるアドレス A D R に応じて、カラムアクセスの待ち時間を制御するための制御信号を生成し、センスアンプ制御回路 1 5 0 及び M A , L I O M U X 制御回路 1 8 0 に出力する。

**【 0 0 5 2 】**

M A , L I O M U X 制御回路 1 8 0 は、カラムアドレスレイテンシ制御回路 1 7 0 から制御されたメインアンプ 1 つに対し複数の W L I O から 1 組の W L I O を選択するカラムアドレス及び M A 制御信号（W L I O 書き込み及び読み出し制御信号）を受け取り、入出力回路 2 2 0 とデータレジスタ 2 9 0、センスアンプ 1 6 0 との間のデータのやり取りを行う。

**【 0 0 5 3 】**

マルチフェースアレイタイミング発生回路 2 0 0 は、メモリアクセス時の動作タイミングを制御するための制御信号を発生し、ロウデコーダ 1 1 0 とセンスアンプ及びデータレジスタ制御回路 2 8 0 にそれぞれ出力する。

**【 0 0 5 4 】**

コマンドデコーダ 2 1 0 は、外部から入力されるコマンド C M D をデコードし、それに応じて読み出しコマンド R C M D 及び書き込みコマンド W C M D を生成し、バンクアドレス及び書き込み／読み出しデコーダ 2 3 0 に出力する。

**【 0 0 5 5 】**

入出力回路 2 2 0 は、書き込みのとき、外部から入力される書き込みデータ D



Qを保持して、保持した書き込みデータをデータ線WG I Oを介してMA, L I O M U X制御回路180に出力する。また、読み出しのとき、センスアンプ160によって選択メモリセルから読み出したデータがMA, L I O M U X制御回路180及びデータ線WG I Oを介して入出力回路220に出力されるので、入出力回路220は、データ線WG I Oからの読み出しデータを保持して外部に出力する。

#### 【0056】

バンクアドレス及び書き込み／読み出しデコーダ230は、アドレスラッチ回路100から入力されるバンクアドレスB A D Rに依じて、複数のメモリバンクから何れか一つのメモリバンクを選択するためのイネーブル信号、例えば、書き込みバンクイネーブル信号W B Eまたは読み出しバンクイネーブル信号R B Eを生成して各メモリバンク及びカラムアドレスレイテンシ制御回路170に出力する。

#### 【0057】

上述した構成を有する本実施形態のD R A Mにおいて、従来のD R A Mに較べて、書き込みアドレスレジスタ250及びデータレジスタ290などが改めて設けられている。メモリセルアクセスのとき、書き込みアドレスレジスタ250によって、アドレスラッチ回路100から入力される書き込みアドレスW A D Rが保持される。そして、同じアドレスをもつメモリセルに対して、書き込みが連続して行われたとき、書き込みアドレスレジスタ250によって保持されている書き込みアドレスがアドレス選択回路260によって選択され、ロウデコーダ110及びカラムデコーダ130にそれぞれロウアドレスR A D R及びカラムアドレスC A D Rが供給される。一方、データレジスタ290によって、前回の書き込みデータが保持され、書き込みが連続して行われたとき、当該データレジスタの保持データがメモリセルへ書き込まれるので、リード後にライトを行ってもN O Pを必要としない。

#### 【0058】

図2は、センスアンプ160、カラムセクタ140及びデータレジスタ290などを含むセンスアンプバンクの一構成例を示す回路図である。

図 2 に示すように、このセンスアンプバンクには、センスアンプ 1 6 0、中間増幅回路 1 6 2、センスアンプセクタ 1 6 4、データレジスタ 2 9 0、データ検出回路 2 9 2、レジスタ転送ゲート 2 9 4、レジスタイコライザ 2 9 6、及び書き込みゲート 2 9 8 が含まれている。

#### 【 0 0 5 9 】

センスアンプ 1 6 0 には、図示のように、それぞれ対をなしているビット線が接続されている。センスアンプ 1 6 0 によって、各ビット線対の電位差が増幅される。

センスアンプセクタ 1 6 4 は、センスアンプを選択するための選択ゲート（トランスファゲート）によって構成されている。各選択ゲートがカラムセクタによって出力される選択選択信号 S A S E L 及び S A S E L B によって制御される。読み出し及び書き込みのとき、選択されたセンスアンプに対応する選択ゲートが開き、選択されたセンスアンプによって増幅された信号が中間増幅回路 1 6 2 に出力される。

#### 【 0 0 6 0 】

中間増幅回路 1 6 2 は、読み出しのとき動作し、選択されたセンスアンプから入力された読み出し信号を増幅し、読み出しデータ線 R L I O，R L I O B に出力する。

#### 【 0 0 6 1 】

データレジスタ 2 9 0 は、図 2 に示すように、ラッチ回路によって構成され、書き込みデータ線 W L I O，W L I O B を介して入力される書き込みデータを保持し、保持した書き込みデータをレジスタ転送ゲート 2 9 4 を介してセンスアンプセクタ 1 6 4 及び中間増幅回路 1 6 2 に出力する。

#### 【 0 0 6 2 】

データ検出回路 2 9 2 は、データレジスタ 2 9 0 にデータが保持されているか否かを検出して、データが保持されている場合、レジスタ転送ゲート 2 9 4 を活性化するデータ転送イネーブル信号 D T E を発生し、レジスタ転送ゲート 2 9 4 に出力する。

書き込み前の待機状態において、レジスタイコライザ 2 9 6 によって、データ

レジスタ 290 の両方のラッチ回路の入力側が電源電圧  $V_{DD}$  に保持される。即ち、ラッチ回路の出力側がローレベルに保持される。これに応じて、データ検出回路 292 は、ハイレベルのデータ転送イネーブル信号 DTE を出力するので、レジスタ転送ゲート 294 が遮断される。一方、書き込みデータがデータレジスタ 290 に保持されているとき、書き込みデータに応じて、データレジスタ 290 の両方のラッチ回路によって異なるレベルの信号が出力される。このため、センスアンプへの出力信号 W2SA に従って、データ検出回路 292 によって、活性化された（ローレベル）データ転送イネーブル信号 DTE が出力され、これに応じてレジスタ転送ゲート 294 が導通する。

#### 【0063】

レジスタ転送ゲート 294 は、図示のように、データレジスタ 290 とセンスアンプセクタ 164 または中間増幅回路 162 との間に設けられている。レジスタ転送ゲート 294 が活性化状態にあるとき、データレジスタ 290 に保持されている書き込みデータがセンスアンプセクタ 164 または中間増幅回路 162 に出力される。

#### 【0064】

レジスタイコライザ 296 は、書き込みの前に、データレジスタ 290 の入力側を電源電圧  $V_{DD}$  にプリチャージする。このため、このときデータレジスタ 290 の入力側がハイレベル、その出力側がローレベルに保持される。

#### 【0065】

書き込みゲート 298 は、書き込みデータ線 WLIO, WLIOB とデータレジスタ 290 との間に設けられ、データレジスタへの書き込み信号 W2R に応じて、書き込みゲート 298 が活性化され、書き込みデータがデータレジスタ 290 に書き込まれる。

#### 【0066】

上述した構成を有するセンスアンプバンクにおいて、データレジスタ 290 への書き込みデータの取り込みは、以下のように行われる。まず、リセット信号 RESE が活性化され（ローレベルに保持され）、これに応じてレジスタイコライザ 296 が活性化され、データレジスタ 290 の入力端子が電源電圧  $V_{DD}$  にプリ

チャージされる。そして、データレジスタへの書き込み信号W 2 Rが活性化される（ハイレベルに保持される）ので、書き込みゲート 2 9 8 が開き、書き込みデータ線W L I O，W L I O Bから入力される書き込みデータに応じてデータレジスタ 2 9 0 を構成する 2 つのラッチ回路のうち、何れかのラッチ回路の入力側がローレベルに保持されるので、データレジスタ 2 9 0 を構成する両方のラッチ回路に互いに反転する論理レベルをもつ書き込みデータが保持される。

#### 【 0 0 6 7 】

このように、書き込みのとき、書き込みデータ線W L I O，W L I O Bから入力される書き込みデータがデータレジスタ 2 9 0 によって保持される。そして、制御信号W 2 S Aに従ってデータレジスタ 2 9 0 の保持データがレジスタ転送ゲート 2 9 4 を介してセンスアンプセクタ 1 6 4 に出力され、センスアンプ選択信号S A S E L，S A S E L Bによって選択されたセンスアンプに出力される。このため、選択されたセンスアンプによって書き込みデータが保持され、選択メモリセルに書き込みデータが書き込まれる。

#### 【 0 0 6 8 】

通常の読み出しにおいて、選択メモリセルの記憶データに応じて選択されたセンスアンプによってビット線の電位差が増幅されて、さらにセンスアンプセクタ 1 6 4 を介して読み出した信号が中間増幅回路 1 6 2 に出力され、中間増幅回路 1 6 2 によって増幅した信号が読み出しデータ線R L I O，R L I O Bに出力される。しかし、本実施形態のD R A Mにおいて、書き込みに続く読み出しが同じバンクの同じメモリセルに対して行われる場合、書き込みデータはデータレジスタ 2 9 0 によって保持されている。このため、選択メモリセルからセンスアンプによるデータの読み出しをせずに、データレジスタ 2 9 0 の保持データがレジスタ転送ゲート 2 9 4 を介して選択ビット線に対応するセンスアンプに出力され、当該センスアンプによってラッチされる。そして、当該センスアンプによってラッチされたデータが中間増幅回路 1 6 2 を介して読み出しデータ線R L I O，R L I O Bに出力される。

#### 【 0 0 6 9 】

なお、本実施形態のD R A Mにおいて、センスアンプバンクは、図 2 に示す構

成に限定されることなく、他の構成も可能である。

図3は、センスアンプバンクの他の構成例を示す回路図である。図示のように、本例のセンスアンプバンクでは、レジスタ転送ゲート294aを除いて、他の部分は図2に示すセンスアンプバンクの対応する部分と同じ構成を有する。

#### 【0070】

レジスタ転送ゲート294aは、図3に示すように、トランスファゲートによって構成されている。データ検出回路292から出力されるデータ検出信号がトランスファゲートを構成するpMOSトランジスタのゲートに印加され、その論理反転信号がトランスファゲートを構成するnMOSトランジスタのゲートに印加される。

#### 【0071】

これによって、図3に示すセンスアンプバンクは、図2に示すセンスアンプバンクと同じように動作する。また、レジスタ転送ゲート294aにトランスファゲートを用いることと、ツイストビット線を用いること、またメモリセルへの書き込みタイミングを変えることにより、簡単にアーリライトを行うことが出来、リフレッシュしている隣のビット線に対してライトしているビット線の影響を及ぼすことなく、アレイサイクルタイムを高速化できる。

#### 【0072】

以下、メモリセルアクセス時のタイミングチャートを参照しつつ、本実施形態のDRAMにおけるメモリセルアクセス時の動作を説明する。

#### 【0073】

図4は本実施形態のDRAMにおけるレイトライト (Late write) 動作を示すタイミングチャートである。以下、図4を参照しつつ、本実施形態のDRAMにおけるレイトライトについて説明する。なお、本実施形態において、書き込みレイテンシと読み出しレイテンシをともに4とする。即ち、書き込みアドレスが入力してから、選択メモリセルにデータが書き込まれるまでクロック信号CLKの4周期分の待ち時間があり、同様に、読み出しの場合にも読み出しアドレスが入力してから、選択メモリセルから記憶データを読み出すまでクロック信号CLKの4周期分の待ち時間がある。

## 【0 0 7 4】

図 4 に示すように、まず、時間  $t_0$  において、バンク A に対して書き込みコマンドが入力されるとともに、バンク A に対する書き込みアドレス  $A_0$  が入力される。書き込みレイテンシが経過したのち、即ち、クロック信号 CLK の 4 周期分経過した時間  $t_4$  において、バンク A への書き込みデータ  $dA_0$  が入力される。

## 【0 0 7 5】

時間  $t_0$  でバンク A にて選択されるワード線に対応するロウアドレス  $A_0 - 1$  は、前回のバンク A への書き込みアクセスにおけるロウアドレスである。そして、次回バンク A に対して書き込みアクセスが行われるまで、今回のロウアドレス  $A_0$  がバンク A に設けられている書き込みアドレスレジスタ 250 によって保持される。同様に、時間  $t_4$  において入力される書き込みデータ  $dA_0$  は、次回バンク A に対して書き込みアクセスが発生するまで、バンク A に設けられているデータレジスタ 290 によって保持される。

## 【0 0 7 6】

上述した動作と同様に、時間  $t_1$  において、バンク B に対する書き込みアドレス  $B_0$  が入力され、時間  $t_2$  において、バンク C に対する書き込みアドレス  $C_0$  が入力され、時間  $t_3$  において、バンク D に対する書き込みアドレス  $D_0$  が入力されるので、それぞれのメモリバンクにおいて、他のメモリバンクとのコンフリクトが起こらないように順次書き込みが行われる。また、それぞれのメモリバンクに設けられている書き込みアドレスレジスタ及びデータレジスタによって、入力される書き込みアドレス及び書き込みデータがそれぞれ保持される。そして、各メモリバンクにおいて、今回入力された書き込みアドレス及び書き込みデータがそれぞれのメモリバンクに対する次回の書き込みアクセスまでに保持される。

## 【0 0 7 7】

また、時間  $t_4$  において、メモリバンク A に対する読み出し命令とともに読み出しアドレス  $A_1$  が入力される。そして、読み出しレイテンシ、即ち、クロック信号 CLK の 4 周期分が経過したあと、例えば、図 4 における時間  $t_8$  よりバンク A からの読み出しデータ  $qA_1$  が外部に読み出される。

## 【0 0 7 8】

続いて、時間  $t_5$  においてメモリバンク B に対する読み出しアドレス B 1 が入力され、時間  $t_6$  においてメモリバンク C に対する読み出しアドレス C 1 が入力され、時間  $t_7$  においてメモリバンク D に対する読み出しアドレス D 1 が入力される。そして、時間  $t_9$  以降、バンク B ～バンク D からの読み出しデータ  $q_{B1} \sim q_{D1}$  が順次読み出される。

#### 【0079】

そして、図 4 に示すように、時間  $t_9$  以降に、バンク A ～バンク D に対して次の書き込みアクセスが順次行われる。

#### 【0080】

上述したように、本実施形態の DRAM において、レイトライトを行うため、従来のレイトライトなしの場合と違い、書き込みレイテンシと読み出しレイテンシが同じクロック数存在するので、書き込み・読み出し・書き込みの一連の動作において、メモリバンクの間でコンフリクトさえ起きなければ、読み出しのあと次の書き込みが行なわれる直前にデータのコンフリクトを回避するため NOP 命令を挿入せずに書き込みを実行することができる。

#### 【0081】

なお、図 4 に示すように、時間  $t_8$  にて NOP が一回挿入されているのは、読み出しデータがクロック信号 CLK に対して多少遅れて出力されるため、次の書き込み動作において外部から入力される書き込みと最後の読み出しデータとのコンフリクトを防ぐためである。

#### 【0082】

なお、上述した書き込み動作では、メモリバンクごとに設けられている書き込みアドレスレジスタ 250 及びデータレジスタ 290 によって書き込みアドレスと書き込みデータがそれぞれ保持される。また、センスアンプ及びデータレジスタ制御回路 280 において、書き込みコマンドが入力されてからクロック信号 CLK をカウントして、書き込みレイテンシ、即ち、クロック信号 CLK の 4 周期分が経過したとき、データレジスタ 290 にデータ取り込みを指示する制御信号を出力する。これに応じて、データレジスタ 290 において、入力される書き込みデータが取り込まれ、保持される。

## 【0 0 8 3】

図5は、本実施形態のDRAMにおいて、同一バンク、同一ワードアドレスに対して、複数のバースト長、例えば、2ビットのバースト長をもつ、書き込み・読み出し・書き込みの一連の動作が行われるときのタイミングチャートを示している。

## 【0 0 8 4】

図5に示すように、まず、時間  $t_0$  において、バンクAに対して書き込みコマンドが入力されるとともに、書き込みアドレスA0が入力される。そして、書き込みレイテンシ、即ち、クロック信号CLKの4周期分経過した時間  $t_4$  において、書き込みデータDA0-0は、2ビット連続して入力される。しかし、ここで、2ビット目の書き込みデータに対して、書き込み禁止がかかり、1ビット目のデータのみが所望のメモリセルへ書き込む命令となる。またここで、これら2ビットのデータは1クロック毎に2ビット同時（2ビットプリフェッチ）に転送され、1ビットごとに設けられた各データレジスタへ転送される。

図5に示すように、書き込みコマンドに従って、時間  $t_5$  においてデータレジスタへの書き込み制御信号W2Rが活性化され、これに従って2ビットの書き込みデータDA0-0及びDA0-Xがデータレジスタに取り込まれる。

## 【0 0 8 5】

続いて時間  $t_4$  において、クロック信号CLKの4周期分前に入力された書き込みコマンドと同一バンクのメモリセルに対する読み出しコマンドが入力されるとする。即ち、図5に示すように、時間  $t_4$  において入力される読み出しアドレスは、クロック信号CLKの4周期分前に入力される書き込みアドレスと同じくA0である。勿論、時間  $t_4$  において、書き込みコマンドに従って取り込まれた書き込みデータDA0-0は、データレジスタ290に保持され、まだ指定のメモリセルに書き込まれていない。また、この読み出しは、2ビットのバースト長をもち、先ほど書き込まれた1ビットのデータと、もともとメモリセル内にあったデータをあわせて2ビットのバースト長になるようにデータの組合せを行わなければならない。

## 【0 0 8 6】



この場合、バンク A において、アドレス一致検出回路 270 によって、書き込みアドレスレジスタ 250 に保持されている書き込みアドレス (A0) と今回入力される読み出しアドレス (A0) とが比較され、両方が一致したので、アドレス一致検出信号 MTH が出力される。これを受けて、センスアンプバンク内にセンスアンプへの書き込み制御信号 W2SA が活性化され、読み出し動作でもセンスアンプバンク内にあるデータレジスタ 290 に保持されている 1 ビットのデータが、アドレス A0 に応じて選択されたビット線に出力され、当該ビット線に接続されているセンスアンプによってラッチされる。また、もう 1 ビットのデータは書き込み時に書き込み禁止となっているのでデータレジスタにはデータが無く、図 2 に示すデータ検出回路 292 によりデータが無いことを検知してメモリセルからデータが読み出される。これら 2 ビットのデータはセンスアンプによってラッチされ、さらに中間増幅回路 162 によって増幅されて、読み出しデータ線 RLIO, RLIOB に出力される。このため、データレジスタ内にあったデータもあたかも読み出しアドレス A0 によって指定されたメモリセルからデータを読み出したかのように、データレジスタ 290 に保持されている前回の書き込みデータが読み出しデータとして読み出しデータ線 RLIO, RLIOB に出力される。

#### 【0087】

また、クロック信号 CLK の 4 周期分前に書き込み禁止がかかり、データが書き込まれていないビット、即ち、図 5 に示す DA0-X に対して、センスアンプバンク内のデータ検出回路 292 によって、レジスタにデータが格納していないことが検出され、センスアンプへの書き込み制御信号 W2SA が活性化されても、データレジスタとセンスアンプとの間に設けられているレジスタ転送ゲート 294 が閉じたままなので、メモリセルからの読み出しデータがそのまま中間増幅回路 162 を介して読み出しデータ線 RLIO, RLIOB に転送される。

#### 【0088】

バンク A への書き込み及び読み出し動作に続き、バンク B、バンク C 及びバンク D に対して、同じように書き込み及び読み出し動作が行われる。各メモリバンクにおいて、それぞれのアドレス一致検出回路により、読み出しアドレスが直前

の書き込みアクセス時の書き込みアドレスと一致するか否かが判断され、一致した場合、上述したバンク A での読み出し動作と同じように、メモリセルからの読み出しを行わず、データレジスタに保持されているデータが読み出しデータ線 R L I O, R L I O B に転送される。

#### 【0089】

上述したように、本実施形態の D R A M において、各メモリバンクにおいて、アドレス一致検出回路 270 のほか、センスアンプバンクにデータレジスタ 290 及びデータ検出回路 292 などが設けられている。書き込みにつき読み出しが行われる一連のメモリアクセス動作において、アドレス一致検出回路によって、読み出しアドレスとその前の書き込みアクセスにおける書き込みアドレスとが比較され、アドレスが一致した場合、センスアンプバンク内のデータレジスタの保持データをセンスアンプに出力させ、センスアンプによってラッチされ、読み出しデータ線に転送される。このため、同一のバンク、同一のワードアドレスに対して書き込みと読み出しが連続して行われた場合、書き込みにつき読み出しのとき、メモリセルからデータの読み出しを行わず、データレジスタに保持されているデータを直接読み出しデータとして出力するので、N O P を必要としない。

#### 【0090】

また、本実施形態において、センスアンプバンク内にデータレジスタを配置しているので、通常のデータレジスタを他の場所へ配置する場合と比べ、データ選択のために必要だった複雑なマルチプレクサなどを要せず、回路構成が簡素化できる。また、本実施形態において、レイトライト機能を有する D R A M を構成する際にメモリセルからの読み出しデータ、またはデータレジスタからの保持データを切り替えるマルチプレクサを必要とせず、センスアンプとデータレジスタ、及びデータ検出回路がマルチプレクサと同等の役割を果たすため、マルチプレクサを必要としない。

#### 【0091】

また、通常のデータレジスタを他の場所へ配置する場合、バースト長が長くなるほど、データレジスタデータを切り替えるためのマルチプレクサの構成が複雑になるが、本実施形態の D R A M の場合のデータレジスタの場合、バースト長に

関係なく同じ回路構成で対応することが可能である。

#### 【0092】

なお、本実施形態のDRAMにおいて、図6に示すように、各メモリバンクのメモリセルアレイ及びセンスアンプバンクにおいて、ツイストビット線を用いることによって、隣接するビット線がセンシング中であっても、ビット線の間の容量結合による影響を打ち消し合うことができ、書き込みデータをセンスアンプが活性化されるよりも早くメモリセルへ書くことが可能となり、メモリセルのキャパシタに対して十分な電荷蓄積が可能となる。このため、メモリセルの記憶データの信頼性が向上し、または、書き込み時のアレイサイクルを短縮でき、書き込み動作の高速化が可能となる。

#### 【0093】

##### 【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、共通のアドレス及びデータバスを用いたマルチバンクのDRAMにおいて、回路構成を簡素化しながら、データ転送レートの向上を実現でき、書き込みアクセスの高速化を実現できる利点がある。

本発明によれば、各メモリバンクにおいて、センスアンプバンクにデータレジスタが設けられ、同一バンク、同一ワードアドレスに対して書き込みに続き読み出しが行われる場合、メモリセルからの読み出しを行わず、データレジスタの格納データを読み出しデータとして出力するので、複雑なマルチプレクサを要せず、簡単な制御によって読み出しができる。また、複数のデータバースト長をもち、書き込みにおいて書き込み禁止が要求された場合でも、書き込み直後の読み出し動作において、複雑なデータの組合せ回路を必要とせず、データレジスタにあるデータをあたかもメモリセル内にあったかのように読み出しを実現でき、従来のDRAMにおける複雑な制御を簡略化できる。

さらに、本発明によれば、各メモリバンクのメモリセルアレイにおいて、ツイストビット線を用い、隣接するビット線の間の容量結合による影響を抑制することによりセンシング前の書き込みに対しても十分早く書き込みデータを準備できることから、書き込み時間を短縮でき、書き込みの高速化を実現できる。

**【図面の簡単な説明】****【図 1】**

本発明に係る半導体記憶装置の一実施形態を示す構成図である。

**【図 2】**

センスアンプバンクの一構成例を示す回路図である。

**【図 3】**

センスアンプバンクの他の構成例を示す回路図である。

**【図 4】**

本実施形態の D R A M の書き込み及び読み出し動作を示すタイミングチャートである。

**【図 5】**

本実施形態の D R A M において、同一のバンク、同一のワードアドレスに対して書き込み・読み出しの一連の動作を示すタイミングチャートである。

**【図 6】**

各メモリバンクにおいてツイスト信号線を用いた例を示す構成図である。

**【図 7】**

従来の D R A M の一構成例を示す構成図である。

**【図 8】**

従来の D R A M の動作を示すタイミングチャートである。

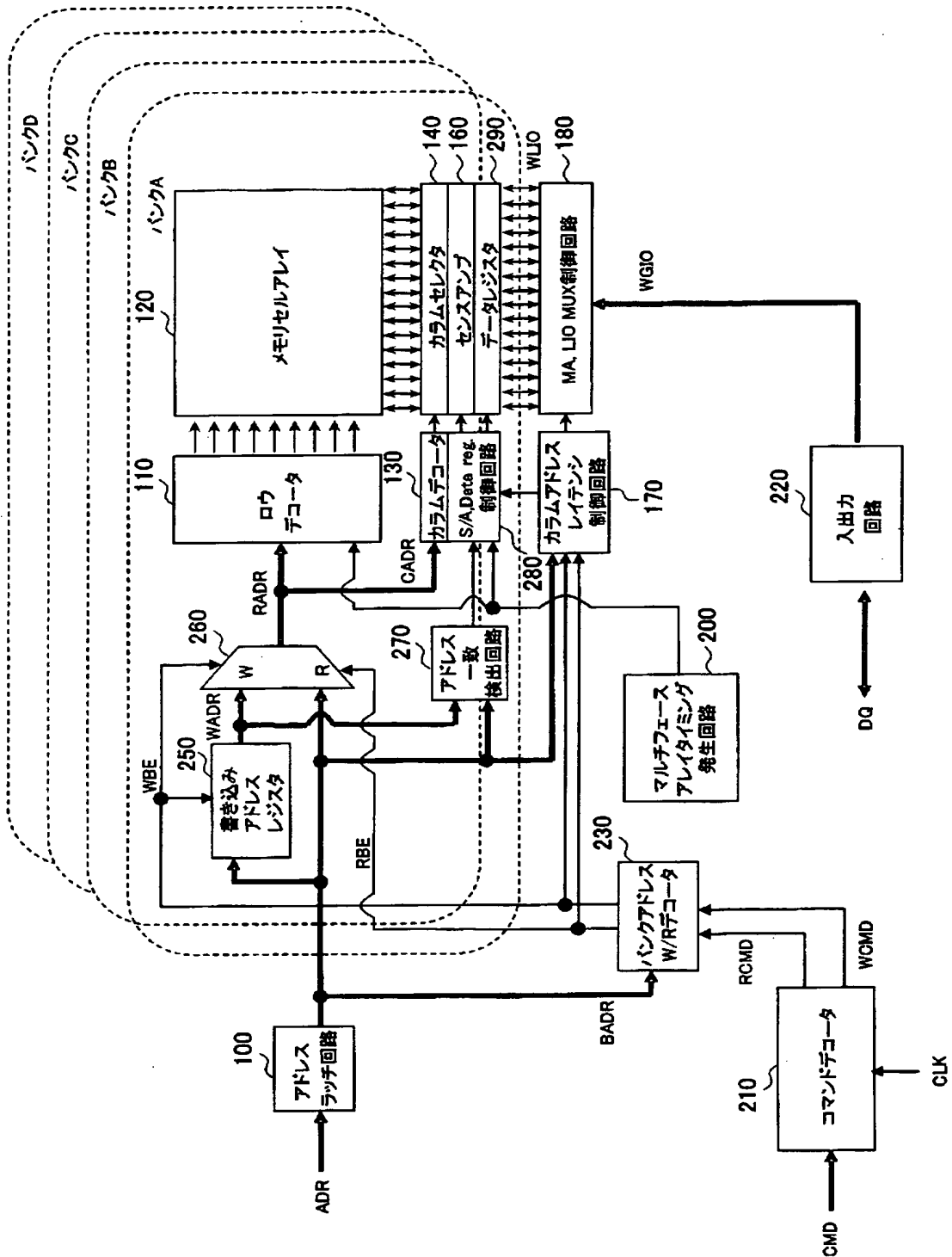
**【符号の説明】**

1 0 0 … アドレスラッチ回路、 1 1 0 … ロウデコーダ、 1 2 0 … メモリセルアレイ、 1 3 0 … カラムデコーダ、 1 4 0 … カラムセクタ、 1 5 0 … センスアンプ制御回路、 1 6 0 … センスアンプ、 1 7 0 … カラムアドレスレイテンシ制御回路、 1 8 0 … M A , L I O M U X 制御回路、 1 9 0 … バンクアドレスデコーダ、 2 0 0 … マルチフェースアレイタイミング発生回路、 2 1 0 … コマンドデコーダ、 2 2 0 … 入出力回路、 2 3 0 … バンクアドレス及び書き込み／読み出しデコーダ、 2 5 0 … 書き込みアドレスレジスタ、 2 6 0 … アドレス選択回路、 2 7 0 … アドレス一致検出回路、 2 8 0 … センスアンプ及びデータレジスタ制御回路、 2 9 0 … データレジスタ。

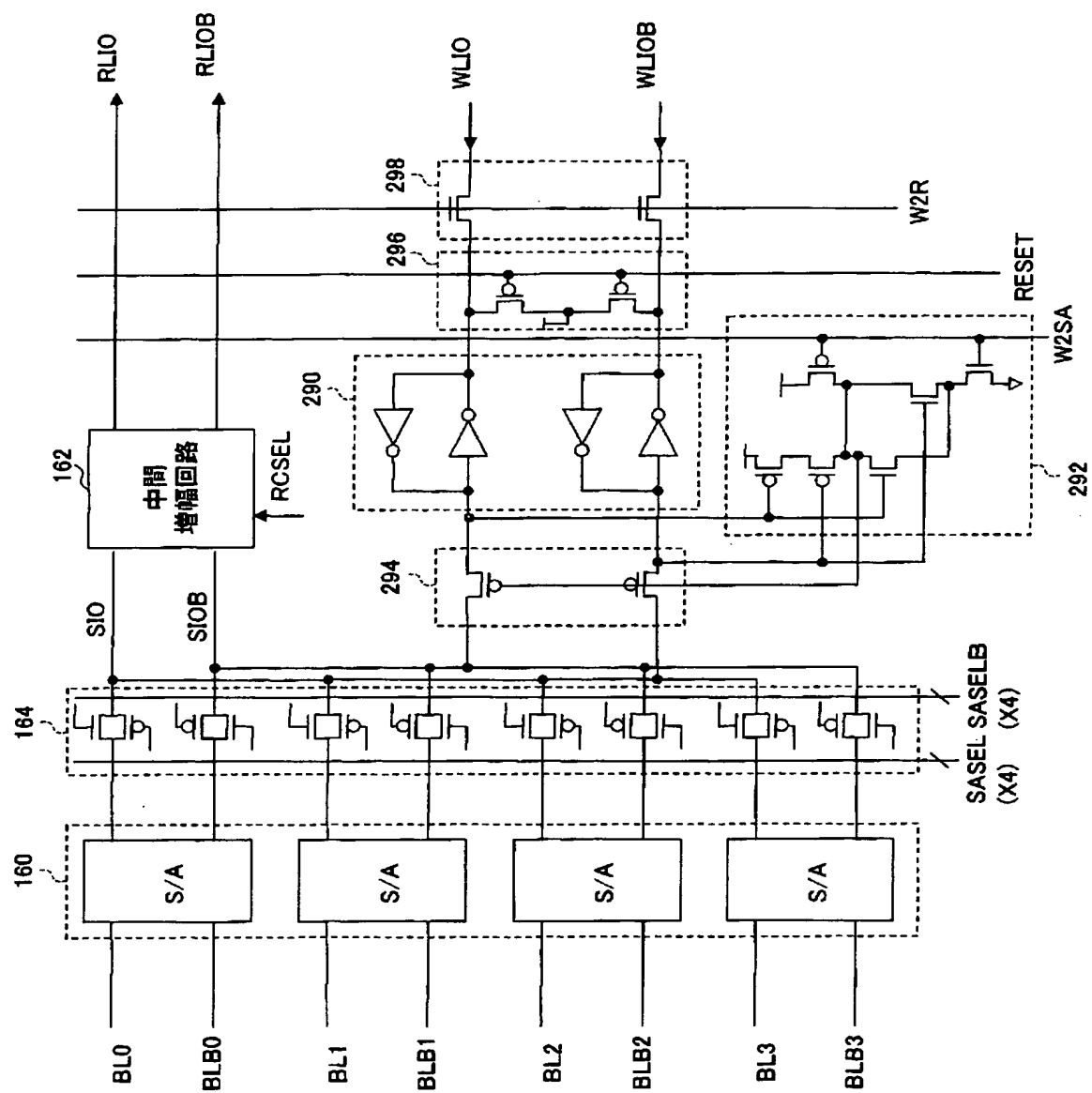
【書類名】

図面

【図 1】



【図 2】

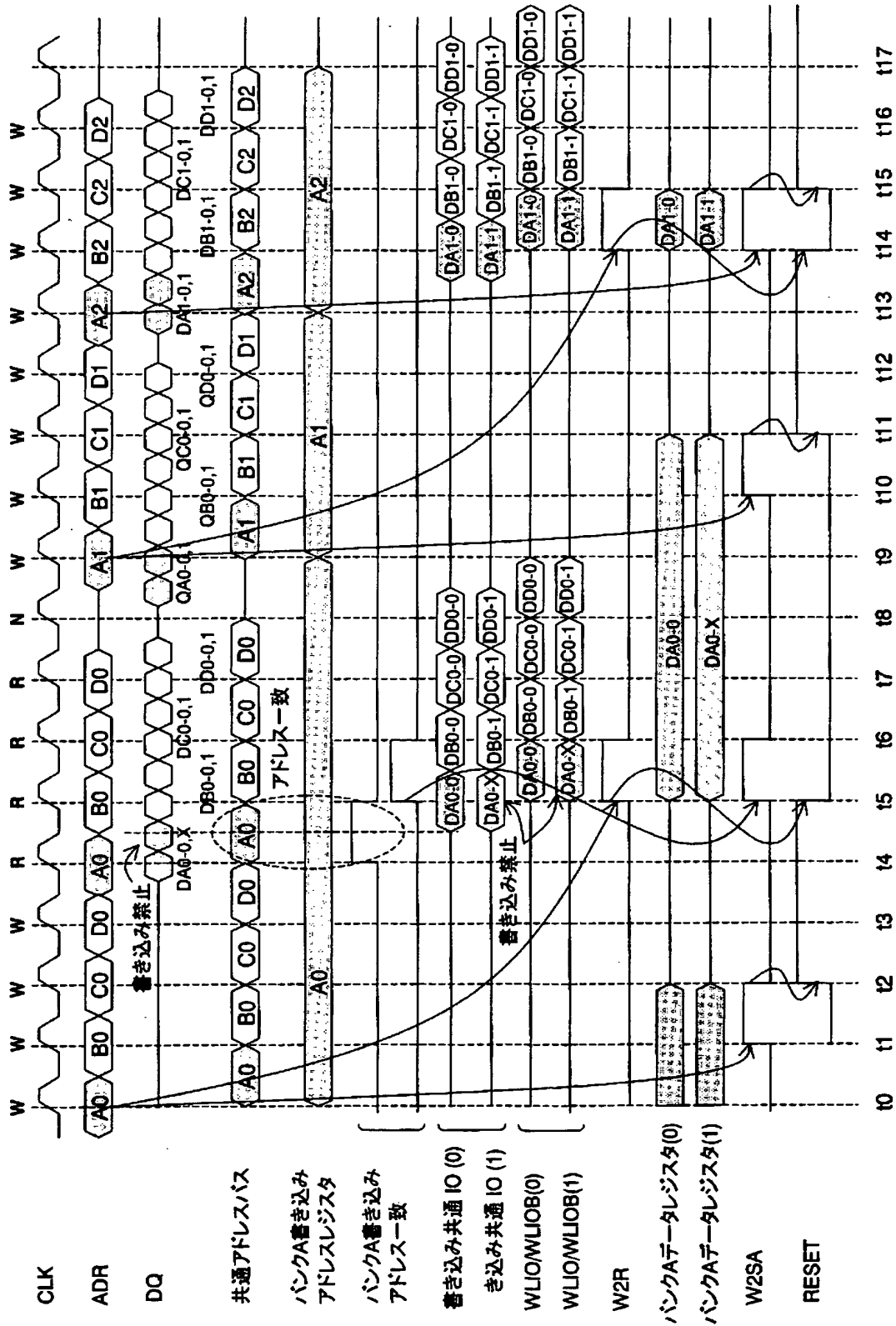




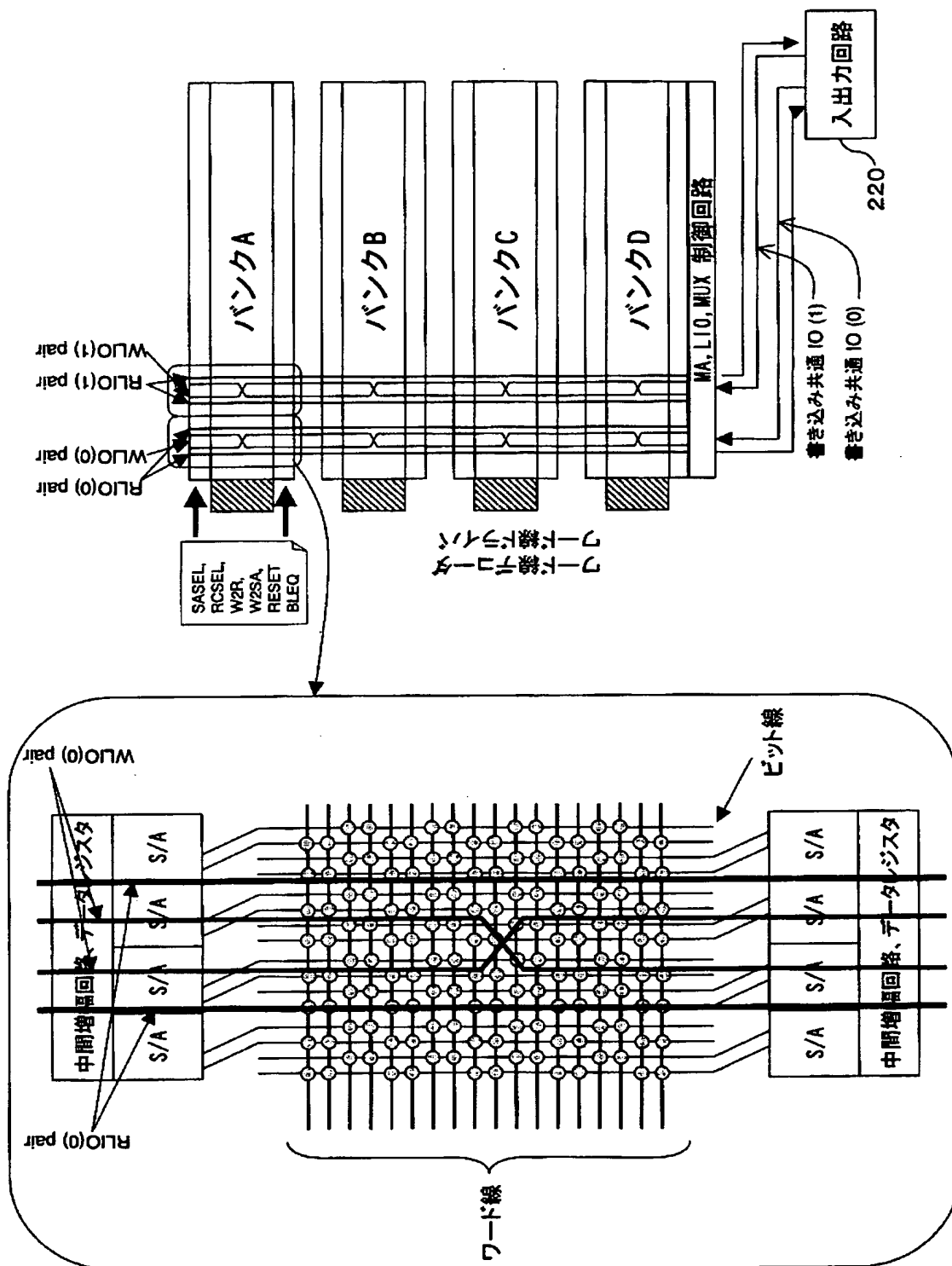




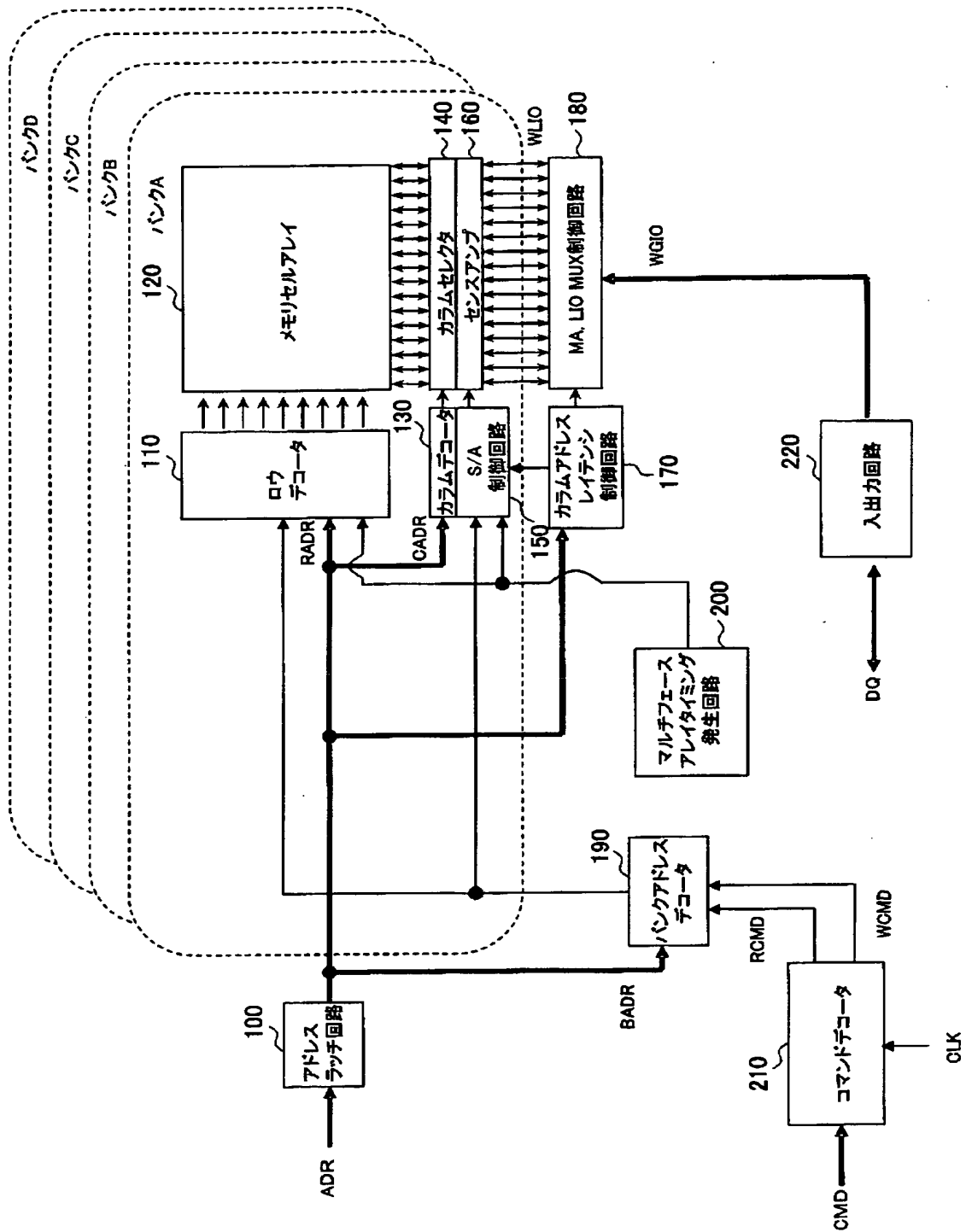
【図 5】



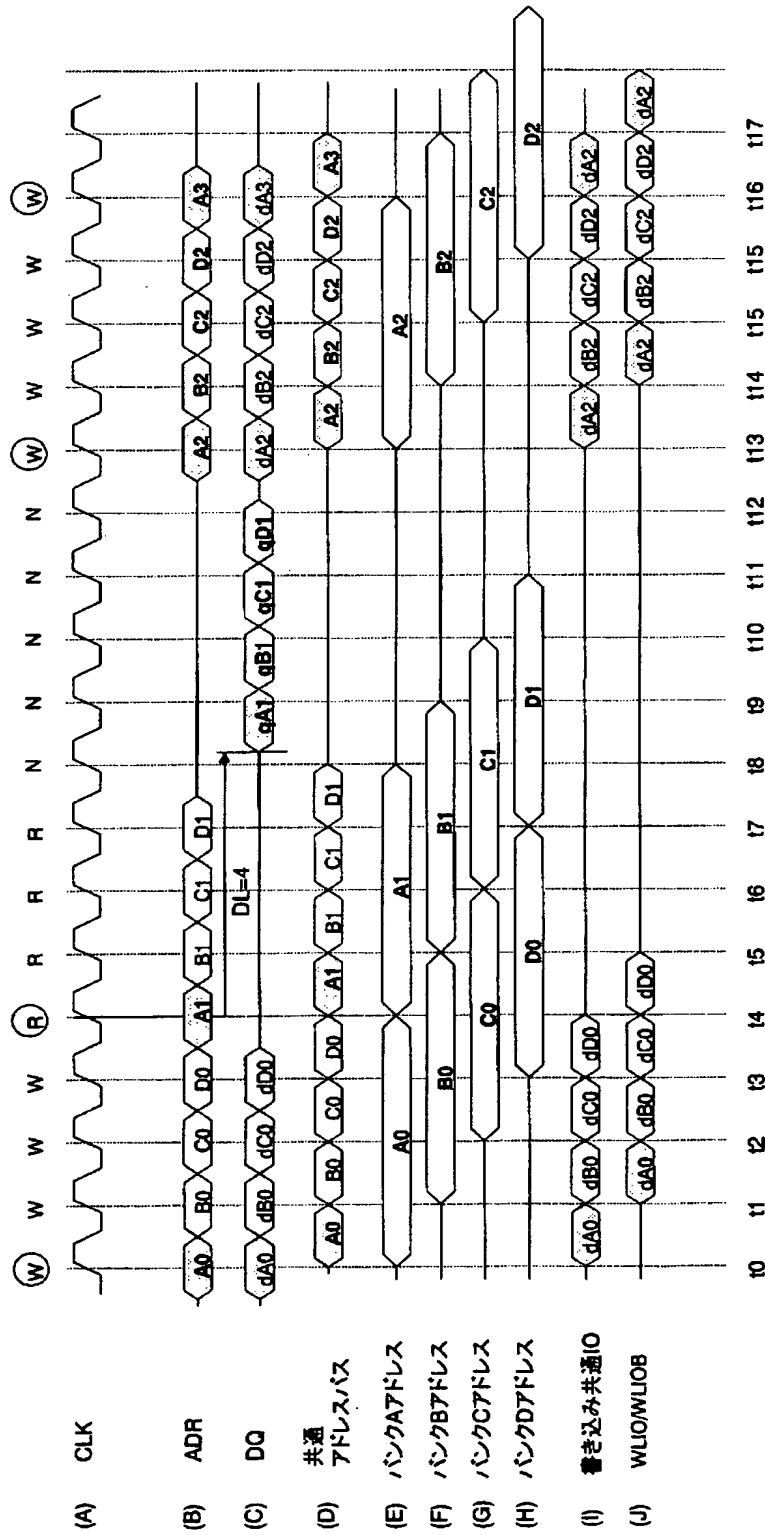
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 マルチバンク D R A Mにおける共通のデータバスの利用率及びデータ転送レートを向上でき、かつ制御回路の規模を増大させることなく、データアクセスの高速化を実現できる半導体記憶装置を提供する。

【解決手段】 マルチバンク D R A Mにおいて、各メモリバンクに書き込みアドレスを保持するアドレスレジスタ 2 5 0 と書き込みデータを保持するデータレジスタ 2 9 0 が設けられ、また、アドレスレジスタに保持されているアドレスと今回入力されるアドレスが一致するかを検出するアドレス一致検出回路 2 7 0 が設けられ、同一メモリバンクの同一のアドレスに対して書き込みに続いて読み出しが行われる場合、読み出しアドレスによって指定されたメモリセルからの読み出しをせずに、データレジスタの保持データを読み出しデータとして出力するので、同一のアドレスに対する連続したメモリアクセスの高速化が図れる。

【選択図】 図 1

特願 2 0 0 3 - 0 0 5 8 0 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[ 変更理由 ]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社